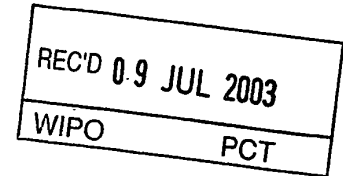


BUNDEREPUBLIK DEUTSCHLAND

PRIORITY DOCUMENT
 SUBMITTED OR TRANSMITTED IN
 COMPLIANCE WITH
 RULE 17.1(a) OR (b)



**Prioritätsbescheinigung über die Einreichung
 einer Patentanmeldung**

BEST AVAILABLE COPY

Aktenzeichen: 102 21 530.8

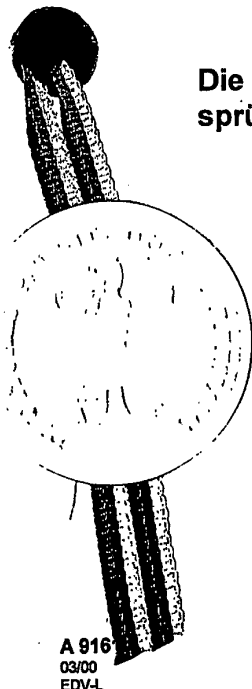
Anmeldetag: 14. Mai 2002

Anmelder/Inhaber: Systemonic AG, Dresden/DE

Bezeichnung: Verfahren und Anordnung zur leistungseffizienten Steuerung von Prozessoren

IPC: G 06 F 9/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.



München, den 26. Mai 2003
Deutsches Patent- und Markenamt
Der Präsident
 Im Auftrag

Hiebinger



B

LIPPERT, STACHOW, SCHMIDT & PARTNER
Patentanwälte · European Patent Attorneys · European Trademark Attorneys
Krenkelstraße 3 · D-01309 Dresden
Telefon +49 (0) 3 51 3 18 18-0
Telefax +49 (0) 3 51 3 18 18 33

Ad-Wb/wb
14. Mai 2002

5 **Systemonic AG**
01099 Dresden

10 **Verfahren und Anordnung zur leistungseffizienten Steuerung
von Prozessoren**

Zusammenfassung

5 Die Erfindung betrifft ein Verfahren zur funktionalen Steuerung
des Programm- und/oder Datenflusses in digitalen Signalpro-
zessoren und Prozessoren mit jeweils abgeschlossenen und von-
einander getrennten Modulen zur Programm- und zur Datenfluss-
kontrolle, die in parallelen Rechenwerken arbeiten.

20 Die erfindungsgemäße Aufgabenstellung, eine leistungseffiziente
individuelle Anpassung der Signalverarbeitung bei der angewand-
ten Befehlsart SIMD in den einzelnen Datenpfaden zu realisieren
und das Aufkommen an NOP-Befehlen, mit denen die VLIW-
25 Architektur des Prozessors versorgt werden muss, zu minimieren,
geschieht dadurch, dass infolge der von der PCU umgesetzten
SIMD Befehle die parallele Signalverarbeitung des Prozessors in
den Datenpfaden (DP), die jeweils zu einem ersten und zweiten
Slice zugehören, individuell gesteuert wird. Die geschieht da-
30 durch, dass ein von einer SSM-Registerbank ausgegebener "Sin-
gle-Slice-Halt"-Zustandes die Register-Taktversorgung der Sli-
ces je nach dem Stand anfallenden Signalverarbeitung geschaltet
wird. (Fig.)

4

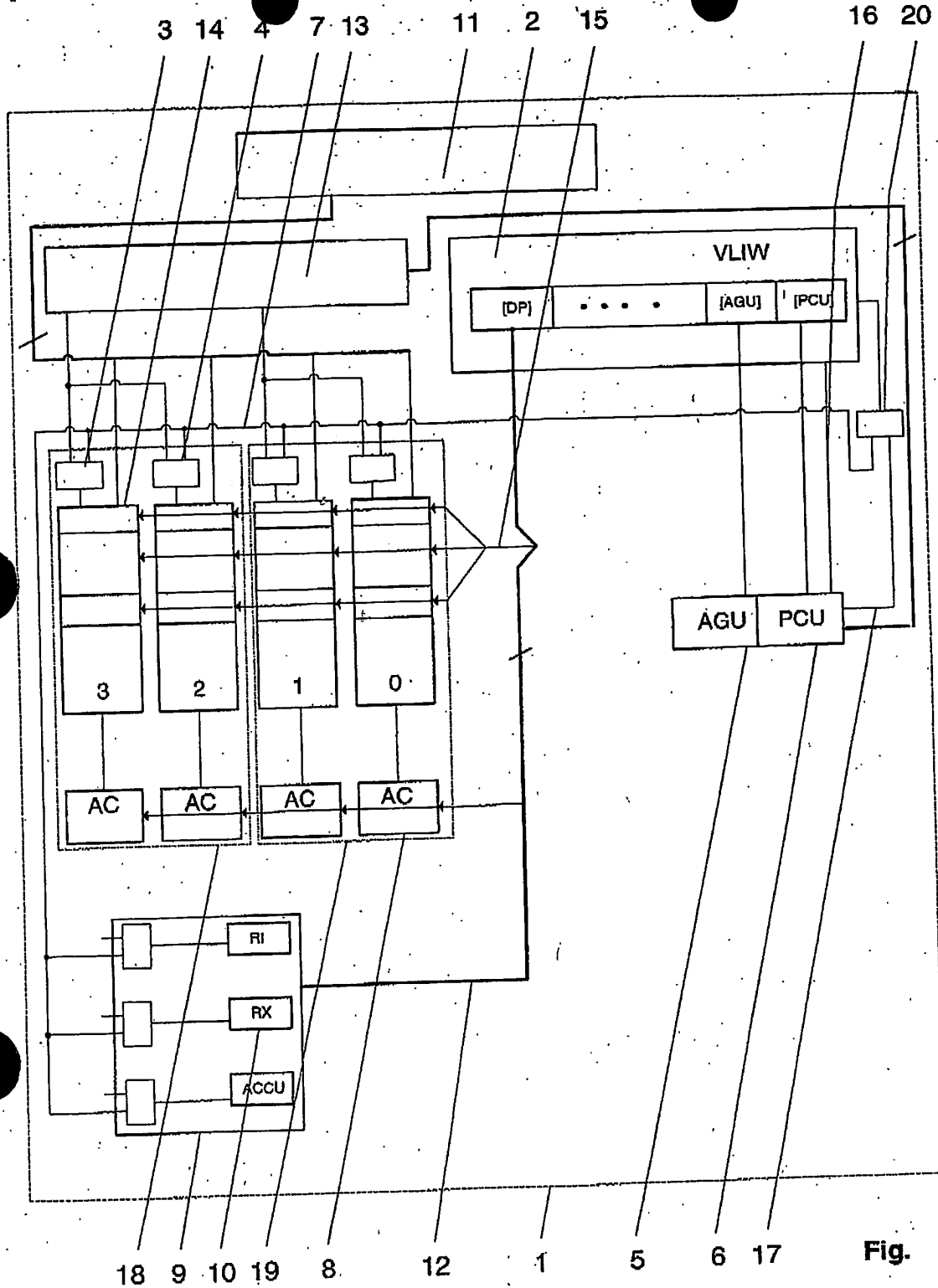


Fig.

LIPPERT, STACHOW, SCHMIDT & PARTNER
 Patentanwälte · European Patent Attorneys · European Trademark Attorneys
 Krenkelstraße 3 · D-01309 Dresden
 Telefon +49 (0) 3 51 3 18 18-0
 Telefax +49 (0) 3 51 3 18 18 33

Ad-Wb/wb

14. Mai 2002

5 **Systemonic AG**
01099 Dresden

10 **Verfahren und Anordnung zur leistungseffizienten Steuerung
 von Prozessoren**

Die Erfindung betrifft ein Verfahren zur funktionalen Steuerung
 des Programm- und/oder Datenflusses in digitalen Signalpro-
 zessoren und Prozessoren mit jeweils abgeschlossenen und von-
 einander getrennten Modulen zur Programm- und zur Datenfluss-
 kontrolle, die in parallelen Rechenwerken arbeiten.

20 Bei den digitalen Signal-Prozessoren (DSP) bekommen zunehmend
 Prozessoren Bedeutung, bei denen ihre Architektur eine Slice-
 Struktur aufweist. Hierbei werden Datenpfade zu Slices zusam-
 mengefasst, wobei in einem ersten Slice eine Signalverarbeitung
 unabhängig von der in einem zweiten Slice parallel ablaufenden
 Signalverarbeitung abgearbeitet wird.

25 Wird in den parallelen Rechenwerken dieser digitalen Signalpro-
 zessoren in der Befehlsart SIMD gearbeitet, ergibt sich beim
 Stand der Technik das Problem, dass oftmals die dabei angewen-
 deten Algorithmen nicht zur parallelen Signalverarbeitung in
 30 allen Slices geeignet sind.

So lassen sich beispielsweise bei der Signalverarbeitung in den
 einzelnen Slices, bedingt durch die jeweils dort angewendeten
 unterschiedlichen Algorithmen, die anfallenden Ergebnisse meist
 35 nur zu unterschiedlichen Zeitpunkten bzw. nach einer unter-

schiedlichen Anzahl von Prozessoraktiven im jeweiligen Slice bereitstellen.

Das Regime der mit den anderen SIMD Slices konformen Befehlsab-
5 arbeitung kann entweder gar nicht oder nur mit hohem Aufwand durchgesetzt werden.

Dieser erforderlich hohe Aufwand fällt einerseits softwaremäßig
als zusätzliche abzuarbeitende Programme, die die unterschied-
10 lichen Wartezeiten für die Slices organisieren an, um die parallele Bereitstellung der Ergebnisse zu realisieren.

Andererseits tritt dieser hohe Aufwand in der Hardware als starke
Prozessor- und Speicherauslastung auf, die die Prozessorleistungs-
5 fähigkeit vermindert. Diese Verminderung kann z.B. durch eine Speichererweiterung abgewendet werden, was jedoch eine Vergrößerung des Hardwareaufwandes bedeutet.

Beim Stand der Technik erweist es sich als Nachteil, dass zur
20 notwendigen Anpassung der Algorithmen an die Befehlsart SIMD bei der Signalverarbeitung, vornehmlich in den Slices mit ihren zugehörigen Datenpfaden, diese Slices und weitere zugehörige VLIW-Architektur des Prozessors in erheblichem Umfang mit No-Operation-Befehlen (NOP) versorgt werden müssen.

25 Auf diese Weise wird die leistungssteigernde Effekte der Anwendung der SIMD-Befehlsart nicht nur unwirksam gemacht, sondern es ist darüber hinaus zur Algorithmen-Anpassung zusätzlicher hardware- und softwaremäßiger Aufwand notwendig.

30 Somit besteht die erfindungsgemäße Aufgabenstellung darin, eine leistungseffiziente individuelle Anpassung der Signalverarbeitung bei der angewandten Befehlsart SIMD in den einzelnen Datenpfaden zu realisieren und insbesondere das Aufkommen an NOP-
35 Befehlen, mit denen die VLIW-Architektur des Prozessors versorgt werden muss, zu minimieren.

Die erfindungsgemäße Lösung der Aufgabenstellung wird dadurch erreicht, dass die infolge der von der PCU umgesetzten SIMD-Befehle parallele Signalverarbeitung des Prozessors in einem
5 jeweiligen Datenpfad (DP) eines ersten und zweiten Slice durch ein von einer SSM-Registerbank je Slice ausgegebenen "Single-Slice-Halt"-Zustandes individuell gesteuert wird.

Hierbei wird die steuernde Wirkung des ausgegebenen "Single-Slice-Halt"-Zustandes dadurch erreicht, dass die für den ersten
10 und zweiten Slice zugeordneten Bits der SSM-Registerbank über die jeweilig zugehörige erste und zweite Gated-Clock-Zelle die Register-Taktversorgung schalten.

5 Dadurch wird das zugehörige Eingangsregister und/oder Akkumulator und/oder Pipeline-Steuerregister je nach dem Stand der in dem Slice des Datenpfades anfallenden Signalverarbeitung zwischenzeitlich gestoppt.

20 Erst durch den Wegfall des ausgegebenen "Single-Slice-Halt"-Zustandes wird diese Funktion bei einer Umsetzung eines weiteren SIMD Befehles freigegeben.

25 Unabhängig vom ausgegebenen "Single-Slice-Halt"-Zustand bleiben die Register-File-Einheit (RFU) und das Speicherzugriffsregister des Prozessors in Funktion. Die SSM-Registerbank der PCU ist dabei jederzeit durch die PCU beschreibbar.

30 Diese Lösung zielt darauf ab, dass in den Slices der Datenpfade des Prozessors entsprechend der Befehlsart SIMD parallel mit den einzelnen Berechnungen begonnen wird.

Aber durch die unterschiedlichen Berechnungsabläufe erfolgt die Bereitstellung der Zwischen- und/oder Endergebnisse in den Slices zu unterschiedlichen Zeitpunkten in den Pipeline-
35 Steuerregistern, Akkumulatoren bzw. Ergebnisregistern der zuge-

hörigen Datenpfade.

Somit wird nach der Bereitstellung der Zwischen- und/oder End-
ergebniswerte eine weitere Signalverarbeitung in den zu den
5 einzelnen Slices zugehörigen Datenpfaden, die nicht mehr ergeb-
nisträchtig ist, unterbunden.

Die Signalverarbeitung wird parallel in allen Datenpfaden der
Slices fortgesetzt, wenn begonnen wird, einen weiteren SIMD-
10 Befehl abzuarbeiten.

Eine ergänzende Ausführung der erfindungsgemäßen Lösung der
Aufgabenstellung besteht darin, dass die Taktversorgung für die
VLIW-Einheit durch eine softwarebedingte Zustandsausgabe aus
5 dem Programmfluss des Prozessors so gesteuert wird, dass da-
durch Teilinstruktionsworte, die in der VLIW-Einheit aktuell
vorliegen, in dieser anschließend für eine Mehrfachverwendung
an den Funktionseinheiten bereitgestellt werden.

20 Diese erfindungsgemäße Lösung wird vorteilhaft wirksam, falls
es eine notwendige Algorithmen-Anpassung an die SIMD-Befehlsart
bei der Signalverarbeitung erforderlich macht, dass die Daten-
pfade bzw. die zugehörige VLIW-Architektur des Prozessors mit
No-Operation-Befehlen (NOP) oder ähnlichen Befehlen mit hoher
25 Wiederholrate versorgt werden müssen. Dabei werden durch die
vermiedene Generierung von gleichen VLIW der Speicherplatz-
verbrauch reduziert und die Rechenbelastung des Prozessors ge-
ring gehalten, so dass die Rechenleistung effizient für die
wichtigen Berechnungen zur Verfügung steht.

30 Eine vorteilhafte Variante der ergänzenden Ausführung der er-
findungsgemäßen Lösung besteht darin, dass das Generieren von
weiteren VILW in der VLIW-Einheit dadurch unterbrochen wird,
indem der PCU ein VLIW-WAIT-Kommando über eine Vorsignalleitung
35 angekündigt wird und im nächsten Takt dieses Kommando an die
PCU angelegt wird, wobei nachfolgend die PCU mittels einer

"VLIW-WAIT"-Signalleitung und einer dritten Gated Clock-Zelle die Taktversorgung für die VLIW-Einheit schaltet.

5 Diese Lösung zielt darauf ab, dass Debug-Routinen bei Softwareprüfungen realisiert werden können, indem Software-Break-Points im Programmcode gesetzt und angefahren werden können.

10 Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels für die Ausgabe eines Single-Slice-Halt-Zustandes näher erläutert werden. In der Zeichnungsfigur liegt ein Blockschaltbild des Prozessors vor, in dem die Teile mit den zugehörigen Funktionseinheiten aufgeführt werden, welche die erfindungsgemäße Lösung betreffen.

15 Für den Fall, dass die Ausgabe des "Single-Slice-Halt"-Zustandes wirkt, ist es Voraussetzung, dass ein SIMD-Befehl über den SIMD-Steuer-Bus 12 von der VLIW-Einheit 2 ausgegeben wird. Dieser einzelne SIMD-Befehl löst eine mehrfache Datenverarbeitung in dem jeweiligen Datenpfad 14 des ersten und zweiten
20 Slice 18; 19 aus.

Die Ergebnisse werden in dem zugehörigen Akkumulator 8 zu unterschiedlichen Zeitpunkten bereitgestellt. Hierbei wird ein
25 jeweils zum ersten und zweiten Slice 18; 19 zugeordnetes Bit der SSM-Registerbank 13 gesetzt.

30 Die Signalbelegung dieses Bits wird an den zum ersten und zweiten Slice 18; 19 jeweilig zugehörigen Datenpfad 14 über die erste und/oder zweite Gated-Clock-Zelle 3; 4 zugeführt und steuert die Signalverarbeitung im ersten und zweiten Slice 18; 19 individuell, indem bei einem vorliegendem Ergebnis in diesem Slice die Taktversorgung am zugehörigen Eingangsregister und damit auch die Signalverarbeitung unterbunden wird.

35 Bei der Ausgabe eines weiteren SIMD-Befehl auf dem SIMD-Steuer-Bus 12, z.B. nach Bereitstellung des letzten in einem der Sli-

ces erarbeiteten Ergebnisses, wird das jeweilige Bit der SSM-Registerbank 13 zurückgesetzt und alle Datenpfade beginnen die nächste Signalverarbeitung indem sie an ihren Eingangsregistern die von der RFU 11 bereitgestellten Daten einlesen.

5

Damit wird die Signalverarbeitung in den einzelnen Slices der Datenpfade 14 vorteilhaft an die Erfordernisse paralleler Abarbeitung der SIMD-Befehle angepasst.

LIPPERT, STACHOW, SCHMIDT & PARTNER
 Patentanwälte · European Patent Attorneys · European Trademark Attorneys
 Krenkelstraße 3 · D-01309 Dresden
 Telefon +49 (0) 3 51 3 18 18-0
 Telefax +49 (0) 3 51 3 18 18 33

Ad-Wb/wb.

14. Mai 2002

5 **Systemonic AG**
01099 Dresden

Verfahren und Anordnung zur leistungseffizienten Steuerung
 von Prozessoren

10

Bezugszeichenliste

- | | |
|----|--|
| 1 | Prozessor |
| 2 | VLIW-Einheit (Very-Long-Instruction-Word) |
| 3 | erste Gated-Clock-Zelle |
| 4 | zweite Gated-Clock-Zelle |
| 5 | AGU (Address-Generating-Unit) |
| 6 | PCU (Process-Controlling-Unit) |
| 7 | Taktversorgungsleitung |
| 8 | Akkumulator |
| 9 | weitere Verarbeitungseinheit (mit Gated-Clock-Zelle) |
| 10 | Register der weiteren Verarbeitungseinheit |
| 11 | RFU (Register-File-Einheit) |
| 12 | SIMD-Steuer-Bus |
| 13 | SSM-Registerbank (Single-Slice-Mode) |
| 14 | Datenpfad |
| 15 | SIMD-Datenpfad-Steuerleitung |
| 16 | Vorsignalleitung |
| 17 | VLIW-WAIT-Signalleitung |
| 18 | erster Slice |
| 19 | zweiter Slice |
| 20 | dritte Gated-Clock-Zelle |

LIPPERT, STACHOW, SCHMIDT & PARTNER
Patentanwälte · European Patent Attorneys · European Trademark Attorneys
Krenkelstraße 3 · D-01309 Dresden
Telefon +49 (0) 3 51 3 18 18-0
Telefax +49 (0) 3 51 3 18 18 33

Ad-Wb/wb

14. Mai 2002

5 **Systemonic AG**
01099 Dresden

10 **Verfahren und Anordnung zur leistungseffizienten Steuerung**
von Prozessoren

Patentansprüche

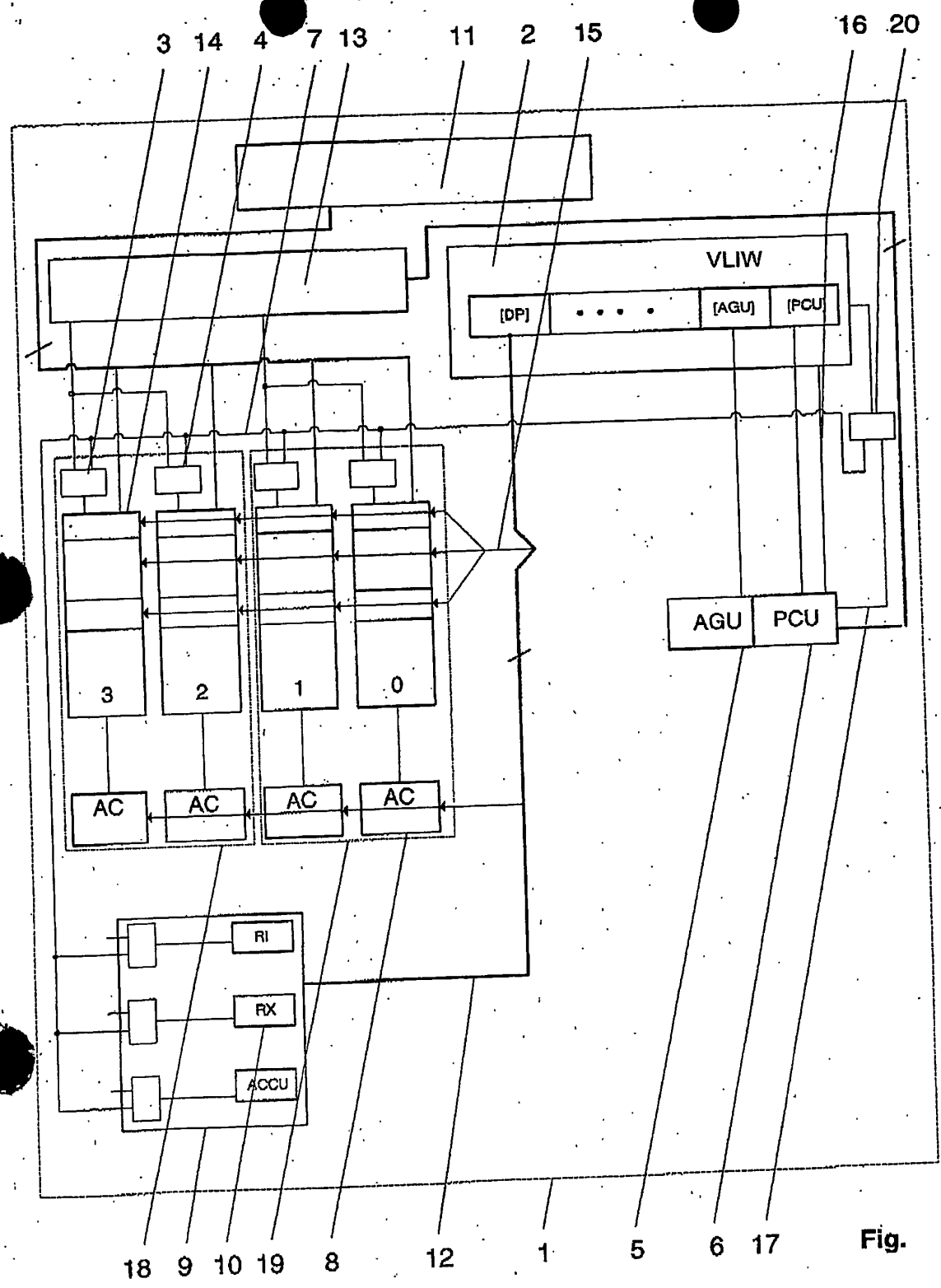
- 5 1. Verfahren zur funktionalen Steuerung des Programm-
und/oder Datenflusses in digitalen Signalprozessoren und
Prozessoren mit jeweils abgeschlossenen und voneinander
getrennten Modulen zur Programm- und zur Datenflusskon-
20 trolle, die in parallelen Rechenwerken arbeiten, dadurch
gekennzeichnet, dass infolge der von der PCU (6) umgesetzt-
ten SIMD Befehle die parallele Signalverarbeitung des Pro-
zessors (1) in einem zum ersten und zweiten Slice
(18); (19) jeweils zugehörigen Datenpfad DP (14) durch ein
25 von einer SSM-Registerbank (13) ausgegebenen "Single-
Slice-Halt"-Zustandes individuell gesteuert wird, wobei
die steuernde Wirkung des ausgegebenen "Single-Slice-
Halt"-Zustandes dadurch erreicht wird, indem die für jeden
Slice zugeordneten Bits der SSM-Registerbank (13) über die
30 jeweilige erste und zweite Gated-Clock-Zelle (3); (4) die
Register-Taktversorgung schalten und dadurch je nach dem
Stand der anfallenden Signalverarbeitung in dem zum jewei-
ligen Slice zugehörigen DP (14) das zugeordnete Eingangs-
register und/oder Akkumulator und/oder Pipeline-
35 Steuerregister in seiner Funktion zwischenzeitlich ge-
stoppt wird und diese Funktion erst durch den Wegfall des

ausgegebenen "Single-Slice-Halt"-Zustandes infolge einer Umsetzung eines weiteren SIMD Befehls wieder freigegeben wird,

5 dass unabhängig vom ausgegebenen "Single-Slice-Halt"-Zustand die Register-File-Einheit (RFU) (11) und das Speicherzugriffsregister des Prozessors (1) in Funktion bleiben, und die SSM-Registerbank (13) der PCU (6) ist dabei jederzeit durch die PCU beschreibbar.

- 10 2. Verfahren zur funktionalen Steuerung des Programm- und/oder Datenflusses in digitalen Signalprozessoren und Prozessoren mit jeweils abgeschlossenen und voneinander getrennten Modulen zur Programm- und zur Datenflusskontrolle, die in parallelen Rechenwerken arbeiten, dadurch gekennzeichnet, dass die Taktversorgung für die VLIW-Einheit (2) durch eine softwarebedingte Zustandsausgabe aus dem Programmfluss des Prozessors (1) so gesteuert wird, dass dadurch Teilinstruktionsworte die in der VLIW-Einheit (2) aktuell vorliegen, in dieser anschließend für eine Mehrfachverwendung an den Funktionseinheiten bereit-
- 20 gestellt werden.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass das Generieren von weiteren VILW in der VLIW-Einheit (2) dadurch unterbrochen wird, in dem der PCU (6) ein VLIW-WAIT-Kommando über eine Vorsignalleitung (16) angekündigt wird und im nächsten Takt dieses Kommando an die PCU (6) angelegt wird, wobei nachfolgend die PCU (6) mittels einer "VLIW-WAIT"-Signalleitung (17) und einer dritten Gated Clock-Zelle (20) die Taktversorgung für die VLIW-Einheit (2) schaltet.
- 25
- 30



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.